



アルデック、ハードウェア・エミュレーション実行時に 100%の可視性を提供する HVD テクノロジーを発表

HVD テクノロジーは、日本で開催される EDSFair2011 にて正式発表・紹介されます

Tokyo, Japan – 2011 年 11 月 15 日 – Aldec, Inc (以下アルデック)は、Riviera-PRO シミュレータと HES-DVM エミュレーション・プラットフォームに大幅な機能強化が行われたことを発表します。SCE-MI (Standard Co-Emulation Modeling Interface) をベースとして、100%の可視性を保証する完全な協調エミュレーション・デバッグ環境を提供します。主な機能強化には、エミュレーション時に FPGA ベースのエミュレータからインテリジェントにデータを抽出し、Riviera-PRO シミュレーション・データベースに直接転送する機能である HVD (Hardware Visibility-based Debugging) テクノロジーを含みます。

「これまでハードウェア設計者は、ハードウェア信号データの正確な抽出と可視化を確保するために、シミュレータやエミュレータに加えて、複数のアプリケーションの使用を強いられてきました。この新しいリリースによりアルデックは、改善された機能とシンプルなデバッグフローを備えた、完全に統合されたデバッグ・ソリューションを提供します。」ハードウェア製品部門のジェネラル・マネージャである Zibi Zalewski はこのように述べています。

エミュレーション・ソリューションに組み込まれた、アルデックの HVD テクノロジーは、必要最低限のデバッグ・プローブの設定で、100%の可視性を保証するハードウェア・エミュレーションを提供して、RTL コードを解析できます。本アプローチにより、クリティカルなエミュレータとの通信チャネルにおける帯域幅を最大 70%削減します。エミュレーション時にダイナミックとスタティックなプローブのどちらでも、オリジナルの信号名と階層パスを保持したまま Riviera-PRO の波形ウィンドウにて観測でき、RTL ソースコードのトレースが実行できます。

「RTL シミュレーションとエミュレーションで速度とデバッグ性を最適化した共通なシミュレーション・データベースを利用できることは、設計フローを驚異的にシンプルにします。設計者はエミュレーション時に使い慣れた Riviera-PRO のデバッグ機能を利用することができ、不要なデータベース変換作業を省くことができます。」Riviera-PRO のプロダクト・マネージャである Dmitry Melnik はこのように述べています。

HVD テクノロジーは、アルデックの製品で利用可能です。HVD テクノロジーの詳細はアルデック・ジャパンまでご連絡ください。

アルデックについて

アルデック(本社 Henderson, Nevada)は、エレクトロニクス・デザイン検証のインダストリー・リーダーです。RTL デザイン作成、RTL シミュレータ、ハードウェア・アシステッド検証、デザインルールチェック、IP コア、DO-254 機能検証および軍事／航空宇宙向けソリューションといったパテントを取得したテクノロジーを提供しています。

Aldec および Riviera-PRO はアルデックの商標です。
その他全ての商標または登録商標は当該各社に帰属します。

お問合せ: アルデック・ジャパン株式会社 宮島 健
TEL: 03-5312-1791
sales-jp@aldec.com